

亚 20 nm FinFET 工艺温度传感器低温 总剂量效应研究

皮辉斌¹, 吴龙胜^{1*}, 文 溢², 罗 登², 喻国芳²

(1. 西安电子科技大学集成电路学部, 陕西西安 710071; 2. 国防科技大学计算机学院, 湖南长沙 410073)

摘 要: 本文针对深空探测等极端环境下太空任务对电子器件的需求, 研究了亚 20 nm 体硅 FinFET 工艺下温度传感器的低温总剂量 (Total Ionizing Dose, TID) 效应. 该温度传感器核心电路为基于 PNP 双极晶体管构成的带隙基准电路. 理论分析表明, 290 K 与 110 K 辐照下双极晶体管退化均表现为基极复合电流增大, 但其主导机制存在本质差异: 常温下界面陷阱密度增加主导复合过程, 符合氢离子漂移致 Si-H 键断裂的经典模型; 而在极低温环境下, 氢离子的漂移运动被“冻结”, 边界陷阱隧穿辅助复合机制成为退化的主要原因. 由于 110 K 时边界陷阱浓度远大于 290 K 时界面陷阱浓度, 导致明显的低温辐照损伤增强效应. 电路分析与仿真验证表明, 随着辐射诱导泄漏电流从 0 nA 增加至 100 nA, 带隙基准电压显著变化, 导致输出温度码增加约 21 bit, 这从电路层面预言了辐照会导致温度码正向漂移. 为验证理论分析, 基于定制的低总剂量效应测试系统, 分别在 110 K 和 290 K 温度条件下, 利用 Co⁶⁰γ 射线源对测试芯片进行了累积 1 Mrad(Si) 总剂量辐照试验. 实验结果表明, 1 Mrad(Si) 辐照后, 110 K 低温辐照下传感器的温度码累积增加值分别达到 37 bit 和 30 bit, 显著高于 290 K 室温辐照下的 9 bit, 明确验证了低温辐照损伤增强效应. 本研究为极低温辐射环境下 FinFET 集成电路 (特别是依赖双极器件的传感器) 的设计与加固提供了重要的理论依据和实验参考.

关键词: FinFET; 温度传感器; 总剂量效应; 低温; 双极晶体管

基金项目: 国家自然科学基金 (No. 62304258)

中图分类号: TN406

文献标识码: A

文章编号: 0372-2112(2025)12-4665-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250733

Total Ionizing Dose Effects at Cryogenic Temperatures on a Sub-20 nm FinFET Temperature Sensor

PI Hui-bin¹, WU Long-sheng^{1*}, WEN Yi², LUO Deng², YU Guo-fang²

(1. School of Integrated Circuits, Xidian University, Xi'an, Shaanxi 710071, China;

2. College of Computer Science and Technology, National University of Defense Technology, Changsha, Hunan 410073, China)

Abstract: This paper investigates the cryogenic total ionizing dose (TID) effects on a temperature sensor fabricated in a sub-20 nm bulk silicon FinFET technology, targeting applications in extreme environments such as deep-space exploration. The sensor core utilizes a bandgap reference circuit based on PNP bipolar junction transistors. Theoretical analysis reveals that the degradation of bipolar transistors under irradiation at 290 K or 110 K manifests an increase in the base recombination current. However, the underlying dominant mechanisms are fundamentally different. At room temperature (290 K), the degradation is primarily governed by an increase in the interface trap density, consistent with the classical model involving hydrogen ion (H⁺) drift leading to the breaking of Si-H bonds. In contrast, under cryogenic conditions (110 K), the drift motion of H⁺ ions is effectively “frozen”, and the tunneling-assisted recombination mechanism via border traps becomes the main contributor to degradation. Given that the border trap concentration at 110 K is significantly higher than the interface trap concentration at 290 K, a pronounced enhancement of radiation damage at cryogenic temperatures is observed. Circuit analysis and simulation validation demonstrate that as the radiation-induced leakage current increases from 0 nA to 100 nA, the bandgap reference voltage undergoes significant changes, resulting in an approximate 21 bit increase in the output temperature code. This finding theoretically predicts a positive drift in the temperature code due to irradiation. To experimental-

ly verify the theoretical analysis, irradiation tests were conducted using a customized cryogenic TID effect test system and a Co^{60} γ -ray source, accumulating a total dose of 1 Mrad(Si) under 110 K and 290 K conditions respectively. The experimental results unequivocally show that after 1 Mrad(Si) irradiation, the cumulative increases in the temperature code for sensors irradiated at 110 K reach 37 bits and 30 bits, respectively, which are substantially greater than the 9 bit increase observed under 290 K room-temperature irradiation. This clear quantitative evidence firmly validates the existence of cryogenic temperature radiation damage enhancement effects. This study provides crucial theoretical insights and experimental data for the design and radiation hardening of FinFET integrated circuits, particularly sensors relying on bipolar devices, operating in extreme low-temperature and high-radiation environments.

Key words: FinFET; temperature sensor; total ionizing dose effects; cryogenic temperature; bipolar junction transistor
Foundation Item(s): National Natural Science Foundation of China (No.62304258)

1 引言

FinFET 凭借其三栅极环绕沟道结构,在抑制短沟道效应、提升载流子迁移率和提高电路集成度等方面较平面工艺器件展现出显著优势,已成为航空航天电子系统的核心器件^[1]. 片上集成式温度传感器以其低成本、高精度及紧凑性等优势,已成为芯片温度管理、物联网、图像传感器等多种应用场景中的关键模块. 随着航天任务复杂性的不断提升,空间电子设备亦日益广泛地集成温度传感模块,以满足其精密热管理需求. 然而,在深空探测等极端环境任务中,器件需应对极端温度(如火星夜间温度 120 K)与空间辐射的协同作用^[2]. FinFET 由于其独特的三维结构以及相对紧凑的器件构造,导致其辐照效应的复杂性显著增加. 因此,深入研究温度传感器在低温高剂量辐照环境中的性能退化规律,对确定带隙基准类数模混合电路的可靠性设计余量约束具有关键意义.

对体硅 FinFET 器件室温下的总剂量(Total Ionizing Dose, TID)效应研究已相对较多. 现有的研究表明,因其极薄的栅氧厚度,TID 对其阈值电压的影响基本可忽略不计,浅沟槽隔离(Shallow Trench Isolation, STI)氧化物中积累的捕获电荷成为其泄漏电流增加的主要原因^[3,4]. Wei 等人^[5]通过对比不同鳍片数量 n-FinFET 的总剂量响应,发现仅单鳍 n-FinFET 呈现显著辐射损伤,而多鳍器件的性能退化程度极低. 半导体工艺和器件仿真软件(Technology Computer Aided Design, TCAD)仿真表明,鳍片与 STI 之间的相对位置对 n-FinFET 的 TID 响应具有决定性影响. Maite 等人^[6]以温度传感器 TMP36 为研究对象,通过监测多个样品在不同剂量率下辐照的响应发现,当剂量超过约 7 krad(Si)时,其温度依赖性 with 功耗的退化显著增加,且与剂量率无关. 文献^[7]基于 130 nm CMOS 工艺采用动态基极泄漏电流补偿技术提升温度传感器的抗辐射能力. 伽马射线辐照试验表明,该带隙基准可耐受至少 4.5 MGy 的总电离剂量,并且在整个实验过程中,输出电压基准的变化小于 3%. 文献^[8]通过在 -15~50 °C 温度范围内对 LT1521

低压差线性稳压器进行 30 krad(Si) 的辐射特性测试,发现 TID 与温度协同效应可能影响器件正常功能,并确定其主要退化效应发生在热补偿电路中.

已有部分文献探讨了温度对 TID 退化的影响^[9-12],但针对 FinFET 工艺下带隙基准类电路(如温度传感器核心模块)的低温相关性研究仍有不足,且现有工作最低温度仅达 258 K,未能覆盖深空探测目标环境温度(如月球夜间 100 K、火星夜间 120 K)^[8]. 本研究通过采用辐射-低温协同测试系统,在 110 K 下开展电路级总剂量效应实验,实现对极端低温宇航元器件服役环境的高保真模拟.

2 温度传感器原理分析

2.1 电路原理

双极型晶体管(Bipolar Junction Transistor, BJT)是 CMOS 模拟集成电路的核心器件之一,以适当的系数组合 BJT 基极发射极压差的负温度系数与两个相同 BJT 工作在不相等的电流密度下基极发射极电压差值的正温度系数,可生成与温度无关的基准电压^[13]. 由于 CMOS 工艺以 MOSFET 为核心,BJT 通常通过增加特殊掩膜实现,以便集成在同一芯片中. 利用 PMOS 的有源区-N 阱-P 衬底结构实现 PNP 晶体管,利用 NMOS 的有源区-P 阱-深 N 阱(Deep Nwell, DNW)结构实现 NPN 晶体管. 由于 NPN 较 PNP 需多一层 DNW 的掩膜,故一般设计带隙基准时多采用 PNP 实现.

本文基于 PNP 三极管设计的温度传感器电路如图 1 所示,其中 $R_1=R_2$,当两个相同的双极晶体管($I_{S1}=I_{S0}=I_S$)在集电极电流为 nI_1 和 I_1 的情况下偏置,并且它们的基极电流可以忽略不计时,有

$$\begin{aligned}\Delta V_{EB} &= V_{EB0} - V_{EB1} \\ &= V_T \ln \frac{8I_1}{I_S} - V_T \ln \frac{I_1}{I_S} \\ &= V_T \ln 8\end{aligned}\quad (1)$$

由于运放的“虚短”与“虚断”特性, $V_X=V_Y$,故两支路电流相等,即

$$I_Y = I_X = \Delta V_{EB} / R_3 \quad (2)$$

V_{BG} 为与温度无关的基准电压,为后续电压读出电路提供基准.当温度升高时,三极管 Q_0 的发射极基极电压 V_Y 降低,电流升高,可得:

$$V_{BG} - V_Y = I_Y R_1 \quad (3)$$

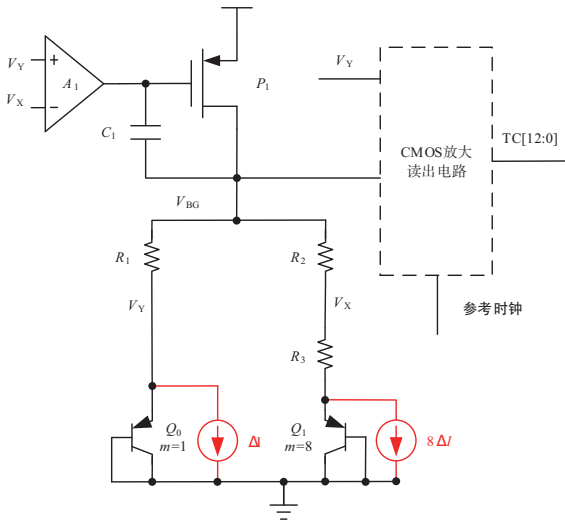


图1 温度传感器原理图

当温度变化 1 K 时,其压降变化在微伏级别,直接读出该值极易被噪声污染,故将电阻 R_1 上的压降经 CMOS 放大读出电路放大后读出,实现温度监测功能,后续称读出值为温度码(TC),有

$$TC = -BTR_1 A + C \quad (4)$$

其中, A 为 CMOS 放大读出电路放大系数, B 为三极管 Q_0 的发射极基极电压温度系数, C 为常数.

如图 2 所示,经实测,在 110~290 K 范围内温度每升高 1 K,温度码增加约 1.94 bit.

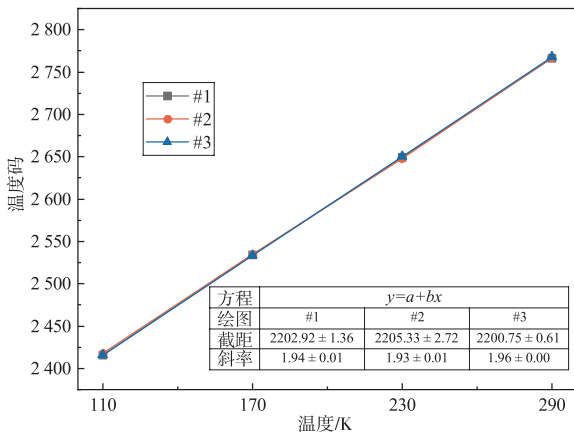


图2 温度传感器实测及拟合结果

2.2 总剂量效应机理

由于 MOSFET 超薄的栅氧结构,除泄漏电流增大外, MOSFET 其他参数对总剂量效应并不敏感. 体硅

CMOS 工艺通过 PMOS 有源区-N 阱-P 衬底结构形成纵向 PNP 双极晶体管,如图 3 所示. 辐照后,邻近鳍下亚鳍区(subfin region)的浅沟槽隔离场氧层中,空穴主要被俘获于 SiO_2/Si 界面附近.

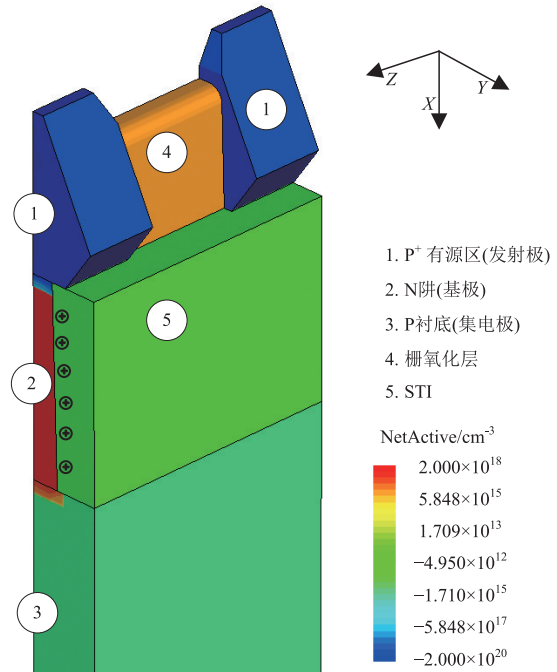


图3 体硅 FinFET 工艺下 PNP 晶体管结构图

低温对总剂量效应的影响主要体现在氧化物中逃离初始复合后空穴的漂移运输以及后续的陷阱俘获和界面陷阱的生成. 依据文献[14]的研究结果, STI 氧化物层内的电子迁移率随温度降低而升高; 相反, 空穴迁移率则随之显著下降. 文献[15]研究表明, 当温度从 290 K 降至 110 K 时, 空穴迁移率降幅超过十个数量级. 在 Si/SiO_2 界面附近出现的深能级空穴陷阱, 有部分能在宽泛时间尺度内与邻近硅衬底交换电荷. 这些缺陷, 虽然物理上在浅沟槽隔离氧化物内, 但由于其能够通过电子隧穿与硅衬底交换电荷, 在通过电荷泵技术测量界面态时会耦合进去, 导致其被误认为是界面陷阱的一部分, 故将这类缺陷称为“边界陷阱”.

Saks 等人^[16]研究揭示, 界面陷阱的生成机制存在显著的温度依赖性. 在常温下, 其形成路径主要涉及: 深能级陷阱内俘获的空穴与二氧化硅中游离的中性氢原子(H^0)发生反应, 生成氢离子(H^+); 该 H^+ 在电场驱动下漂移至 Si/SiO_2 界面处, 并与界面悬挂键上的 Si-H 键发生反应, 导致 Si-H 键断裂, 从而产生界面态. 而在极低温环境下, H^+ 的漂移运动因热力学限制而被“冻结”. 此时, 界面陷阱的形成机制由氢离子的漂移运动主导转变为中性氢原子的扩散运动主导. 文献[16]的研究表明, 在极低温条件下, 经由 H^0 扩散机制生成的界面态

密度,相较于常温环境下氢离子的漂移运动机制,至少低一个数量级。

综合前文的理论分析,290 K 与 110 K 下增益退化虽均表现为基极复合电流增大,但驱动机制存在本质差异. 290 K 时,界面陷阱主导基极复合电流上升;110 K 时,边界陷阱成为基极复合电流增强的主要原因. 该泄漏电流增量显著提升基极电流分量. 由于 110 K 时边界陷阱浓度远大于 290 K 时界面陷阱浓度,故温度传感器会表现出明显的低温辐照损伤增强效应。

通过进一步分析图 1 所示电路可以发现 BJT 退化会导致温度码增加. 当所有三极管的发射结均出现相同的小幅辐射诱导泄漏电流 ΔI 时,由于 Q_1 支路三极管数目为 Q_0 支路 8 倍,即 Q_1 支路辐射诱导电流为 Q_0 支路 8 倍. 由于运放 A_1 的存在, $V_Y = V_X$, 两支路电流始终相等. 在辐射诱导电流差距显著的前提下, V_Y 会适当升高以增加 Q_0 发射极电流,保证两支路电流始终相等. 由于三极管 Q_0 发射结导通时直流电阻远小于 R_1 , 当电流增大后, V_{BG} 电压升高值远大于 V_Y 升高值, 最终导致输出温度码增大。

按前述分析,用恒流源替代三极管的发射结处小幅辐射诱导泄漏电流 ΔI , 并使 Q_1 支路辐射诱导电流为 Q_0 支路 8 倍, 如图 1 红色部分所示。

将 ΔI 进行 DC 扫描仿真, 仿真结果如图 4 所示, 随着 ΔI 从 0 nA 增加至 100 nA, V_{BG} 增加 19.77 mV, V_Y 增加 0.87 mV. 由式 (3), 差值电压变大, 导致输出温度码在 100 nA 诱导电流下增加 21 bit.

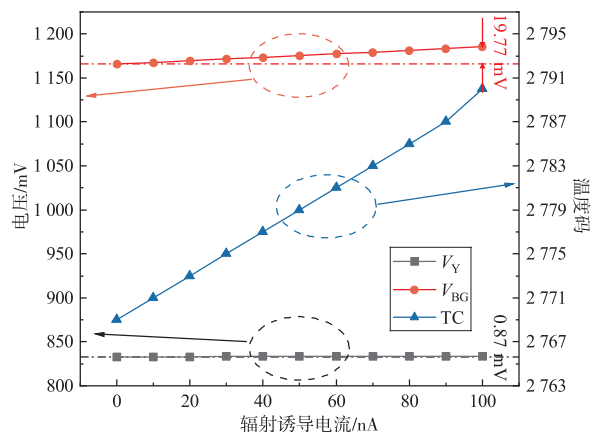


图4 温度传感器内部节点电压随辐射诱导电流变化图

3 实验

我们基于亚 20 nm 体硅 FinFET 工艺按图 1 所示电路设计了测试芯片,其版图如图 5 所示. 图 6 所示为采用倒装封装 (Flip-chip) 后焊接至测试板. 为了达到极低温条件,实验温控系统采用了针对辐射环境定制的低温测试系统,如图 7 所示. 系统的最小真空度可达

0.1 Pa, 最大理论可控温度范围为 80~500 K. 为了保证温度的稳定性和准确性,选择 110 K 和 290 K 进行测试。

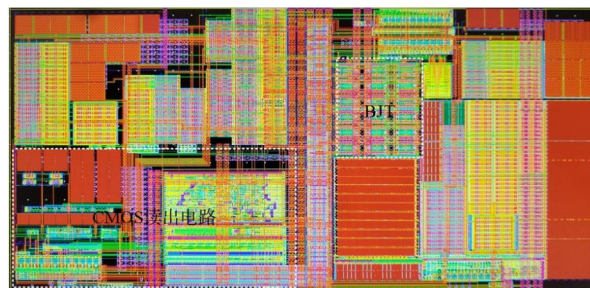


图5 温度传感器测试芯片版图

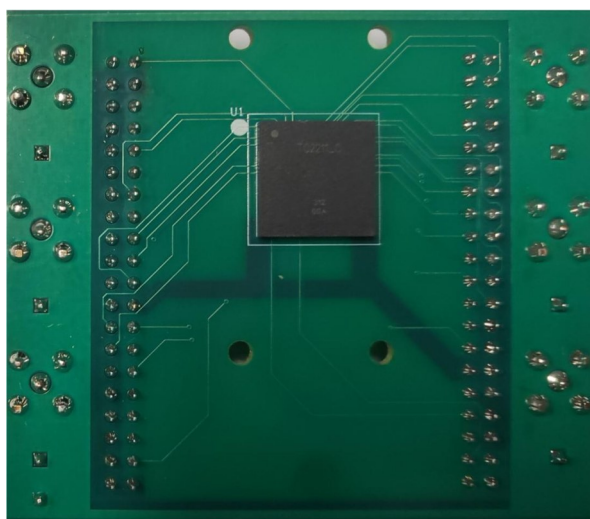


图6 温度传感器测试板

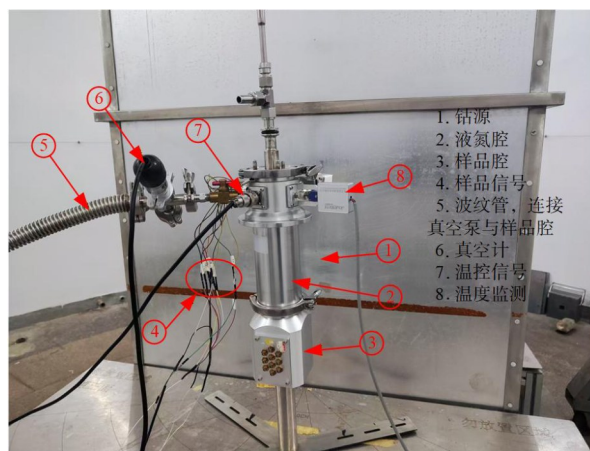


图7 低温总剂量效应试验装置

在新疆理化技术研究所 $Co^{60}\gamma$ 射线源上进行了总剂量辐照试验, 剂量率为 200 rad (Si)/s, 总剂量为 1 Mrad (Si), 内核和 IO 电压分别为 0.8 V 和 1.8 V. 由于液氮在室温下会持续挥发, 为确保样品低温环境稳定, 每 1 250 s 即辐照剂量 250 krad (Si) 降源添加液氮, 并进

行一次原位测量,且降源时间不超过 10 min.

共完成对 3 块芯片的测试,其中#1 和#2 芯片分别在 290 K 和 110 K 下辐照. 由于 110 K 下温度码增加更为显著,增加#3 芯片在 110 K 下对比验证.

4 实验结果与分析

如图 8 所示,1 Mrad(Si)辐照后,#2 和#3 芯片温度码分别累计增加 37 bit 和 30 bit,大于#1 芯片的 15 bit. #1 芯片为室温辐照,添加液氮后需加热样品台,导致液氮挥发速度变快,无法维持足够时间,故未进行控温操作. 实验时发现其温度有缓慢上升趋势,不同辐照剂量时其实际温度分别为 290、291、292、293 和 293 K. 由于温度上升导致的温度码增加值约为 6 bit,故总剂量效应导致的增加值为 9 bit. 1 Mrad(Si)辐照后,#2 和#3 芯片温度码累积增加值分别为#1 芯片的 4.11 倍和 3.33 倍,呈现出显著的低温辐照损伤增强效应.

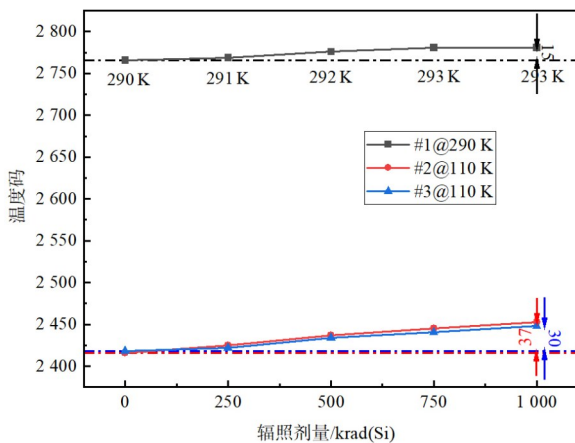


图 8 各测试芯片温度码随辐照剂量变化图

芯片自身温度上升可解释为两个原因:其一为伽马射线具有加热功能,其二为 FinFET 工艺的自热效应^[17]. #2 和#3 芯片辐照时添加液氮并使用温控系统全程控温.

测试结果表明,在 1 Mrad(Si)辐照后,三个测试芯片均出现了不同程度的温度码漂移,这与辐射诱导泄漏电流的影响相符. 290 K 下总剂量效应导致温度码增加值为 9,对应辐射诱导电流增加值约 45 nA. 另一方面,110 K 下温度码增加值为 290 K 下的 3~4 倍,表现出明显的低温辐照损伤增强效应. 实验结果与理论分析部分的结论相符.

5 结论

本文研究了亚 20 nm 体硅 FinFET 工艺下温度传感器的低温总剂量效应,该温度传感器由带隙基准电路和电压差值放大读出电路组成. 理论分析表明,BJT 在辐照后

会呈现低温损伤增强效应. 290 K 与 110 K 下增益退化虽均表现为基极复合电流增大,但驱动机制存在本质差异. 在 290 K 时,界面陷阱密度增加主导复合过程,符合氢离子漂移致 Si-H 键断裂的经典模型;而在 110 K 低温下,边界陷阱通过隧穿辅助复合机制成为电流增益退化的主因. 通过辐照实验验证了这一结论. 这些发现对宇航用 FinFET 集成电路的设计与研究具有重要的参考意义.

参考文献

- [1] HISAMOTO D, LEE W C, KEDZIERSKI J, et al. FinFET-a self-aligned double-gate MOSFET scalable to 20 nm[J]. IEEE Transactions on Electron Devices, 2000, 47(12): 2320-2325.
- [2] YUAN Q F, GUO W, JIN L, et al. Experimental investigation on the influence of high temperature on total ionizing dose effect in bulk FinFETs[J]. IEEE Transactions on Nuclear Science, 2025, 72(8): 2311-2316.
- [3] CHATTERJEE I, ZHANG E X, BHUVA B L, et al. Geometry dependence of total-dose effects in bulk FinFETs[J]. IEEE Transactions on Nuclear Science, 2014, 61(6): 2951-2958.
- [4] GONG Y F, CHEN X T, ZHAO Q, et al. A comprehensive investigation of total ionizing dose effects on bulk FinFETs through TCAD simulation[J]. Microelectronics Reliability, 2024, 163: 115534.
- [5] WEI X W, CUI J W, LUO D, et al. Enhanced total ionizing dose response of 16 nm n-FinFETs with a single fin[J]. IEEE Electron Device Letters, 2023, 44(12): 1931-1934.
- [6] ÁLVAREZ M, JIMÉNEZ J J, GONZÁLEZ-GUERRERO M, et al. Total ionizing dose radiation test on the temperature sensor TMP36 from analog devices[C]//2012 IEEE Radiation Effects Data Workshop. Piscataway: IEEE, 2012: 1-7.
- [7] CAO Y, DE COCK W, STEYAERT M, et al. A 4.5 MGy TID-tolerant CMOS bandgap reference circuit using a dynamic base leakage compensation technique[J]. IEEE Transactions on Nuclear Science, 2013, 60(4): 2819-2824.
- [8] RIZZO M, MUSCHITIELLO M, GUPTA V, et al. A characterization method for TID versus temperature effects on microelectronic circuits[J]. IEEE Transactions on Nuclear Science, 2024, 71(8): 1932-1939.
- [9] CHEVAS L, NIKOLAOU A, BUCHER M, et al. Investigation of scaling and temperature effects in total ionizing dose (TID) experiments in 65 nm CMOS[C]//2018 25th International Conference. Piscataway: IEEE, 2018: 313-318.
- [10] FELITSYN V, PODLEPETSKY B, BAKERENKOV A, et al. Temperature influence on the TID effects in RadFETs[C]//2017 IEEE 30th International Conference on

- Microelectronics. Piscataway: IEEE, 2017: 167-169.
- [11] BORISOV A Y, KESSARINSKIY L N, VANZHA M M, et al. Analog ASIC/TID behavior in a temperature range[C]// 2017 IEEE 30th International Conference on Microelectronics. Piscataway: IEEE, 2017: 109-112.
- [12] GAILLARDIN M, MARTINEZ M, GIRARD S, et al. High total ionizing dose and temperature effects on micro- and nano-electronic devices[C]//2013 3rd International Conference on Advancements in Nuclear Instrumentation, Measurement Methods and their Applications. Piscataway: IEEE, 2013: 6728068.
- [13] 刘帘曦, 仵少飞, 王格夫, 等. 应用于高精度 ADC 的低失调低噪声高精度基准电压源[J]. 电子学报, 2025, 53(6): 1865-1873.
LIU L X, WU S F, WANG G F, et al. Low-voltage, low-noise, high-precision bandgap reference for high-resolution ADC[J]. Acta Electronica Sinica, 2025, 53(6): 1865-1873. (in Chinese)
- [14] HUGHES R C. Hole mobility and transport in thin SiO₂ films[J]. Applied Physics Letters, 1975, 26(8): 436-438.
- [15] SAKS N S, KLEIN R B, GRISCOM D L. Formation of interface traps in MOSFETs during annealing following low temperature irradiation[J]. IEEE Transactions on Nuclear Science, 1988, 35(6): 1234-1240.
- [16] FLEETWOOD D M, SHANEYFELT M R, WARREN W L, et al. Border traps: Issues for MOS radiation response and long-term reliability[J]. Microelectronics Reliability, 1995, 5(3): 403-428.
- [17] JANG D, BURY E, RITZENTHALER R, et al. Self-heating on bulk FinFET from 14nm down to 7nm node[C]// 2015 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2016: 1161-1164.

作者简介



皮辉斌 男, 1993年出生于湖南省常德市. 现为西安电子科技大学集成电路学部博士研究生. 主要研究方向为集成电路辐照机理、模型与加固技术.

E-mail: pihuibin@126.com



罗登 男, 1992年出生于湖北省荆州市. 现为国防科技大学计算机学院助理研究员. 主要研究方向为抗辐射数模混合集成电路设计, 包括数模/模数转换器、锁相环等.

E-mail: luod14@163.com



吴龙胜 男, 1968年出生于安徽省安庆市. 现为西安电子科技大学华山领军教授、二级教授、博士生导师, 享受国务院政府特殊津贴. 主要研究方向为SoC设计技术、集成电路封装设计、抗辐射加固技术、器件建模与模拟技术.

E-mail: lswu@xidian.edu.cn



喻国芳 男, 1993年出生于贵州省仁怀市. 现为国防科技大学计算机学院助理研究员. 主要研究方向为集成电路辐照机理、模型与加固技术.

E-mail: yugf24@nudt.edu.cn



文溢 男, 1992年出生于湖南省益阳市. 现为国防科技大学计算机学院博士研究生. 主要研究方向为模拟集成电路设计与抗辐射加固设计等.

E-mail: wenyi19920312@126.com